

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-280467

(P2002-280467A)

(43)公開日 平成14年9月27日 (2002.9.27)

(51)Int.Cl.⁷
H 01 L 21/8247
27/10 4 9 1
27/115
29/788
29/792

識別記号

F I
H 01 L 27/10
29/78
27/10

テマコード(参考)
4 9 1 5 F 0 8 3
3 7 1 5 F 1 0 1
4 3 4

審査請求 未請求 請求項の数11 OL (全 8 頁)

(21)出願番号 特願2002-62647(P2002-62647)
(22)出願日 平成14年3月7日 (2002.3.7)
(31)優先権主張番号 2001-013931
(32)優先日 平成13年3月17日 (2001.3.17)
(33)優先権主張国 韓国 (KR)

(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72)発明者 申 有哲
大韓民国京畿道水原市八達区靈通洞(番地
なし) ハンゴウルタウン主公エービーティ
138棟1102号
(72)発明者 朴 鍾佑
大韓民国ソウル江南区清潭洞113-6ジン
ドヴィラA棟402号
(74)代理人 100064908
弁理士 志賀 正武 (外1名)

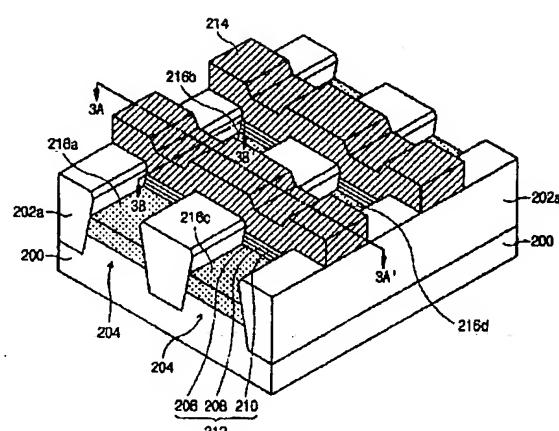
最終頁に続く

(54)【発明の名称】 SONOSフラッシュメモリ素子及びその形成方法

(57)【要約】

【課題】 SONOSフラッシュメモリ素子及びその製造方法を提供する。

【解決手段】 ONO膜がゲートラインと活性領域が交差する部分の半導体基板上にのみ存在して素子分離領域には存在しない。ONO膜がメモリ素子セル単位で完全に分離され、これにより、素子分離動作時隣接したメモリセルの間の干渉による素子誤動作を避けることができる。



【特許請求の範囲】

【請求項1】 半導体基板の所定領域に形成された複数の素子分離領域と、

前記複数の素子分離領域及びこれらの間の複数の活性領域上部を横切る複数のゲートラインと、

前記複数のゲートラインと交差する前記複数の活性領域上にのみ形成された誘電体メモリ物質膜と、

前記複数のゲートライン両側の前記複数の活性領域に形成された不純物拡散領域とを含むSONOSフラッシュメモリ素子。

【請求項2】 誘電体メモリ物質膜は、順次にスタックされた下部酸化膜、塗化膜及び上部酸化膜(ONO膜)であることを特徴とする請求項1に記載のSONOSフラッシュメモリ素子。

【請求項3】 前記ゲートラインの下部と前記素子分離領域上部が直接接触することを特徴とする請求項1に記載のSONOSフラッシュメモリ素子。

【請求項4】 半導体基板上に誘電体メモリ物質膜及びエッチングマスク膜を順次に形成する段階と、

前記エッチングマスク膜及び前記誘電体メモリ物質膜をバーニングして前記半導体基板の所定領域を露出させる段階と、

前記露出された半導体基板の所定領域に素子分離領域を形成する段階と、

前記バーニングされたエッチングマスク膜を除去する段階と、

前記エッチングマスク膜が消去された結果物全面に上部導電物質を形成する段階と、

前記上部導電物質及び前記バーニングされた誘電体メモリ物質膜をバーニングして前記素子分離領域及びこれらの間の活性領域上部を横切るゲートラインを形成する段階とを含むSONOSフラッシュメモリ素子形成方法。

【請求項5】 前記誘電体メモリ物質膜は、前記半導体基板の上に順次にスタックされた下部酸化膜、塗化膜及び上部酸化膜(ONO膜)からなることを特徴とする請求項4に記載のSONOSフラッシュメモリ素子形成方法。

【請求項6】 前記誘電体メモリ物質膜と前記エッチングマスク膜との間に下部導電物質を形成する段階をさらに含み、

この時、前記エッチングマスク膜及び前記誘電体メモリ物質膜をバーニングする時に前記下部導電物質もバーニングされ、

前記上部導電物質及び前記バーニングされた誘電体メモリ物質膜をバーニングする時、前記バーニングされた下部導電物質も同時にバーニングされることを特徴とする請求項4に記載のSONOSフラッシュメモリ素子形成方法。

【請求項7】 前記露出された半導体基板の所定領域に

素子分離領域を形成する段階は、

前記露出された半導体基板をエッチングしてトレンチを形成する段階と、

前記トレンチを完全に満たすよう前記バーニングされたエッチングマスク膜上にトレンチ充填絶縁体を形成する段階と、

前記バーニングされたエッチングマスク膜の上部が露出されるまで前記トレンチ充填絶縁体を平坦化エッチングする段階とを含むことを特徴とする請求項4に記載のSONOSフラッシュメモリ形成方法。

【請求項8】 前記露出された半導体基板の所定領域に素子分離領域を形成する段階は、熱酸化工程を進行して前記露出された半導体基板上に熱酸化膜を成長させることを特徴とする請求項4に記載のSONOSフラッシュメモリ形成方法。

【請求項9】 前記誘電体メモリ物質膜は、前記半導体基板上に順次にスタックされた下部酸化膜、塗化膜及び上部酸化膜(ONO膜)からなることを特徴とする請求項7又は請求項8に記載のSONOSフラッシュメモリ素子形成方法。

【請求項10】 半導体基板上に誘電体メモリ物質膜、下部導電物質膜及びエッチングマスク膜を順次に形成する段階と、

前記エッチングマスク膜、前記下部導電物質膜及び前記誘電体メモリ物質膜をバーニングして前記半導体基板の所定領域を露出させる段階と、

前記露出された半導体基板をエッチングしてトレンチを形成する段階と、

前記トレンチを完全に満たすよう前記バーニングされたエッチングマスク膜上にトレンチ充填絶縁体を形成する段階と、

前記バーニングされたエッチングマスク膜が露出されるまで前記トレンチ充填絶縁体を平坦化エッチングして前記トレンチの内に素子分離領域を形成する段階と、

前記露出されたバーニングされたエッチングマスク膜を除去する段階と、

前記平行した素子分離領域及び前記バーニングされた下部導電物質膜上に上部導電物質膜を形成する段階と、

前記上部導電物質膜、前記バーニングされた下部導電物質膜及び前記バーニングされた誘電体メモリ物質膜をバーニングして前記素子分離領域及びこれらの間の活性領域上部を横切るゲートラインを形成する段階とを含むSONOSフラッシュメモリ素子形成方法。

【請求項11】 前記誘電体メモリ物質膜は、前記半導体基板上に順次にスタックされた下部酸化膜、塗化膜及び上部酸化膜(ONO膜)からなることを特徴とするSONOSフラッシュメモリ素子形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体メモリ素子及

びその形成方法に係るものであり、より詳細にはSONOSフラッシュメモリ素子及びその形成方法に関するものである。

【0002】

【従来の技術】SONOSトランジスタは、半導体(Semiconductor)基板上に不揮発性絶縁物質として、酸化膜(Oxide)－窒化膜(Nitride)－酸化膜(Oxide)のONO膜を挟んで形成されたシリコン(Silicon)ゲート電極及びその両側のソース電極及びドレイン電極からなったトランジスタである。従来のSONOSトランジスタの構造が図1及び図2、そして図3に概略的に示されている。図1は、従来技術によるSONOSフラッシュメモリ素子を示す透視図であり、図2は、図1の1A-1A'ラインに沿って切り取った断面図である。図3は、図1の1B-1B'ラインに沿って取り切った断面図である。図面を参照すると、従来のSONOSトランジスタは、シリコン半導体基板100上に下部酸化膜106-窒化膜108-上部酸化膜110のONO膜112が形成され、前記ONO膜112上にシリコンゲートライン114が形成されている。しかし、前記ONO膜112が前記ゲートライン114と交差する活性領域104だけでなく、前記活性領域104互いに電気的に隔離させる素子分離領域102上にも形成されていることが分かる。即ち、前記ONO膜112が前記ゲートライン114下の全ての領域(活性領域及び素子分離領域)に形成されている。

【0003】従って、後述するような問題点が発生する。SONOSフラッシュメモリ素子は、書き込みモード、消去モード及び読み出しモードがある。書き込みモード時には、ゲート114に書き込み電圧V_{pp}が印加されて前記ゲート114の一側の活性領域104に形成されたソース116a領域、前記ゲート114の他側の活性領域104に形成されたドレイン116b領域及び半導体基板100を接地させると、前記半導体基板100に誘起された電子(electron)が、前記窒化膜108にF-N(Fowler-Nordheim)トンネリングにより、前記下部酸化膜106を通過して捕獲され、これはトランジスタのしきい電圧を高めてデータを書き込む。

【0004】一方、消去モード時には、ゲート114、ドレイン領域116b及びソース領域116aはオープンさせて、基板100にV_{pp}を印加して窒化膜108にトラップされていた電子を基板100の方に押出してしきい電圧を低めることによってデータを消去する。

【0005】そして、読み出しモード時には、ゲート114には読み出し電圧V_rが印加されて、ソース116a及びドレイン116bの間に流れる電流を感知する。読み出し電圧V_rが印加された条件で流れる電流を測定するセンシング回路を利用して特定セルに対して読み出し動作をすることができます。

【0006】しかし、半導体メモリ素子がだんだん高集

積化されていくことにより、活性領域104及び素子分離領域102が占める領域が統いて減っていて、これにより、隣接セルの間の間隔が減っている。従って、前述したようにSONOSフラッシュメモリ素子は、ONO膜112、特に窒化膜108の内の電子を捕獲するかあるいは捕獲された電子を放出することによって、その動作を遂行するので、素子分離領域102上にもONO膜が存在する構造において、即ち、隣接セルとONO膜が連結された構造において、データ損失が発生し得る。隣接セルの間の間隔が狭ければ、即ち、素子分離領域のサイズが小さければ、狭い素子分離領域上に形成されたONO膜の内にトラップされた電子が隣接セルの動作に影響を与えることがあり得る。

【0007】

【発明が解決しようとする課題】従って、本発明は、前述した諸般問題点を解決するために提案されたものであり、メモリ素子セル動作時隣接セルによる影響を最小化できる高集積SONOSフラッシュメモリ素子構造及びその形成方法を提供することにその目的がある。

【0008】

【課題を解決するための手段】前述した技術的な課題を解決するための本発明の構成によるSONOSフラッシュメモリ素子は、半導体基板の所定領域に形成され、互いに平行した複数の素子分離領域、前記複数の素子分離領域及びこれらの間の複数の活性領域を横切りながら互いに平行した多数のゲートライン、前記多数のゲートラインと交差する前記複数の活性領域上にのみ形成された誘電体メモリ物質膜、そして前記多数のゲートライン両側の前記複数の活性領域に形成された不純物拡散領域を含む。即ち、誘電体メモリ物質膜が活性領域上にのみ存在し、その中でも活性領域とゲートラインが交差する部分にのみ存在してゲートラインは直接前記素子分離領域と接触する。従って、セル単位で誘電体メモリ物質膜が完全に分離され、隣接セルによる影響を除去できる。

【0009】望ましい実施形態において、前記誘電体メモリ物質膜は下部酸化膜-窒化膜-上部酸化膜が順次にスタックされた膜質で形成される。

【0010】前述した技術的な課題を解決するための本発明のSONOSフラッシュメモリ素子形成方法によると、半導体基板上に誘電体メモリ物質膜及びエッチングマスク膜を順次に形成する。前記エッチングマスク膜及び前記誘電体メモリ物質膜をバーニングして前記半導体基板の所定領域を露出させる。この時、露出された半導体基板は素子分離領域になり、露出されず前記誘電体メモリ物質膜により覆われた部分は活性領域になる。従って、誘電体メモリ物質膜が自己整合的に活性領域上に形成される。前記露出された半導体基板の所定領域に互いに平行した複数の素子分離領域を形成する。前記バーニングされたエッチングマスク膜を除去する。前記エッチングマスク膜が除去された結果物の全面に上部導電

物質を形成する。前記上部導電物質及び前記バーニングされた誘電体メモリ物質膜をバーニングして前記活性領域及び前記素子分離領域を横切る複数のゲートラインを形成する。

【0011】望ましい実施形態において、前記誘電体メモリ物質膜と前記エッティングマスク膜との間に下部導電物質をさらに形成する。この時、前記エッティングマスク膜及び前記誘電体メモリ物質膜をバーニングする時前記下部導電物質もバーニングされ、前記上部導電物質及び前記バーニングされた誘電体メモリ物質膜をバーニングする時、前記バーニングされた下部導電物質も同時にバーニングされ、前記上部導電物質と共にゲートラインを形成する。

【0012】前記露出された半導体基板の所定領域に形成された互いに平行した素子分離領域は、トレンチ隔離方法により形成することが望ましい。即ち、前記露出された半導体基板の所定領域をエッティングして互いに平行したトレンチを形成し、前記トレンチを完全に満たすよう前記バーニングされたエッティングマスク膜上にトレンチ充填絶縁体を形成した後、次いで、前記バーニングされたエッティングマスク膜の上部が露出されるまで前記トレンチ充填絶縁体を平坦化エッティングして前記平行した素子分離領域を形成する。

【0013】他の方法では、前記露出された半導体基板の所定領域に形成された互いに平行した素子分離領域は、局部的シリコン酸化方法により形成することもできる。即ち、熱酸化工程を進行して前記露出された半導体基板の所定領域上に熱酸化膜を成長させて前記素子分離領域を形成する。

【0014】望ましい実施形態において、前記誘電体メモリ物質膜は前記半導体基板上に順次にスタックされた下部酸化膜、窒化膜及び上部酸化膜がスタックされたONO膜からなる。

【0015】前述した技術的な課題を解決するための望ましい工程構成によるSONOSフラッシュメモリ素子形成方法は、半導体基板上に誘電体メモリ物質膜、下部導電物質膜及びエッティングマスク膜を順次に形成する段階と、前記エッティングマスク膜、前記下部導電物質膜及び前記誘電体メモリ物質膜をバーニングして前記半導体基板の所定領域を露出させる段階と、前記露出された半導体基板の所定領域をエッティングして互いに平行したトレンチを形成する段階と、前記トレンチを完全に満たすよう前記バーニングされたエッティングマスク膜上にトレンチ充填絶縁体を形成する段階と、前記エッティングマスク膜が露出されるまで前記トレンチ充填絶縁体を平坦化エッティングする段階と、前記露出されたバーニングされたエッティングマスク膜を除去して互いに平行した素子分離領域を形成する段階と、前記並行した素子分離領域上に、そしてこれらの間の活性領域上部に形成された前記バーニングされた下部導電物質膜上に上部導電

物質膜を形成する段階と、そして前記上部導電物質膜、前記バーニングされた下部導電物質膜及び前記バーニングされた誘電体メモリ物質膜をバーニングして前記活性領域上部及び前記素子分離領域上を横切る多数のゲートラインを形成する段階を含む。

【0016】

【発明の実施の形態】以下、添付された図を参照して、本発明の実施形態に対して説明する。本発明は半導体メモリ素子及びその形成方法に関するものである。具体的に誘電体メモリ物質(dielectric memory material)を利用したメモリ素子に関するものである。誘電体メモリ物質としては、酸化膜—窒化膜—酸化膜がスタックされたONO膜が代表的であり、これを半導体基板とゲートラインの間に介して半導体基板のキャリア(carrier)をONO膜の窒化膜に捕獲させてしきい電圧を変更させることによってメモリ素子としての機能をするようとする。本発明は、SONOSフラッシュメモリ素子及びその形成方法に関するものである。

【0017】図4は本発明による新しいSONOSフラッシュメモリ素子を概略的に示す透視図であり、図5は図4の3A-3A'ラインに沿って切り取った断面図であり、図6は図4の3B-3B'ラインに沿って切り取った断面図である。示されたように、本発明による半導体メモリ素子によると、誘電体メモリ物質膜212が活性領域204上部にのみ、さらに具体的に前記活性領域204がゲートライン214と交差する部分の活性領域上にのみ介していることを特徴とする。図4を参照すると、本発明によるSONOSフラッシュメモリ素子は、半導体基板200の所定領域に複数の素子分離領域202aを含む。前記複数の素子分離領域202aは互いに平行し、これらの間の領域は活性領域204に画定される。従って、前記活性領域204は複数が画定され、これらの活性領域204もやはり互いに平行する。前記素子分離領域202a及び前記活性領域204上部を複数のゲートライン214が各々横切る。前記ゲートライン214の間の前記活性領域204に不純物拡散領域であるソース/ドレイン領域216dが形成されている。この時、前記複数のゲートライン214及び前記活性領域204が交差する部分の活性領域上にのみ誘電体メモリ物質膜212が介す。即ち、前記素子分離領域202aと前記ゲートライン214は直接接觸する。結果的に、前記活性領域204を隣接した活性領域と電気的に隔離させる前記素子分離領域202a上には、前記誘電体メモリ物質膜212が形成されていないので、素子の高集積化により、活性領域及び素子分離領域のピッチが減少しても、SONOSメモリ素子動作時、隣接セルによる干渉を最小化できる。

【0018】これからは図4及び図5、そして、図6に示されたSONOSフラッシュメモリ素子を形成する方法に対して詳細に説明することとする。

【0019】図7乃至図12は、本発明の一実施形態により図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示された図面として図4の3A-3A'ラインに沿って取り切った断面図である。

【0020】先ず、図7を参照すると、半導体基板200上に誘電体メモリ物質膜212が形成される。前記誘電体メモリ物質膜212は、前記半導体基板200上に順次にスタックされた下部酸化膜206、窒化膜208及び上部酸化膜210であるONO膜で形成されることが望ましい。例えば、前記下部酸化膜206は、約80Å以下の厚さで形成され、前記窒化膜208は、約100Å以下の厚さで形成され、前記上部酸化膜210は、約200Å以下の厚さで形成される。前記誘電体メモリ物質膜212上に下部導電膜214aが形成される。前記下部導電膜214aは、ドーピングされたポリシリコンで形成して後続工程でバーニングされてゲートラインの一部に使用される。前記下部導電膜214a上にエッティングマスク膜216が形成される。前記エッティングマスク膜216はシリコン導電膜で形成される。前記エッティングマスク膜216は、後続平坦化工程で平坦化停止層に使用される。

【0021】次いで、前記エッティングマスク膜216、下部導電膜214a及び誘電体メモリ物質膜212がバーニングされて素子分離領域になる半導体基板の表面が露出される。ここで、バーニング結果、前記誘電体メモリ物質膜212及び下部導電膜214aで覆われた半導体基板は活性領域204になる。従って、メモリ素子の一部を構成する前記メモリ物質膜212及び下部導電膜214aが自己整合的に活性領域204上に形成される。

【0022】工程によっては、前記下部導電膜214aを形成されないこともでき、又前記エッティングマスク膜216上に酸化膜がさらに形成されることができる。

【0023】次の図8を参照すると、バーニングされたエッティングマスク膜216を使用して、露出された半導体基板をエッティングして複数の平行したトレンチ218を形成する。その結果これらの間の半導体基板に画定される活性領域204やはり平行するようになる(図5、図6参照)。

【0024】次の図9を参照すると、前記トレンチ218を完全に満たすよう前記バーニングされたエッティングマスク膜216上にトレンチ充填絶縁体202が形成される。前記トレンチ充填絶縁体202は化学気相成長酸化膜で形成される。工程によっては前記トレンチ充填絶縁体202を緻密化させるため熱処理工程をさらに進行できる。又、たとえ図面には示されないでも、前記トレンチ218内部に熱酸化膜及び窒化膜ライナーがさらに形成されることができる。熱酸化膜は、トレンチ形成のための半導体基板エッティング時発生する損傷を治るた

めのものであり、窒化膜ライナーは、トレンチ内部の酸化膜を防止するためのものである。従って、熱酸化膜及び窒化膜ライナーを形成することがさらに望ましい。

【0025】次いで、前記バーニングされたエッティングマスク膜216が露出されるまで、前記トレンチ充填絶縁体202に対して、平坦化エッティング工程を進行して図10に示されたように、互いに平行した複数の素子分離領域202aを形成する。

【0026】次の図11を参照すると、露出されたバーニングされたエッティングマスク膜216を除去する。この時、前記活性領域204上には、誘電体メモリ物質膜212及び下部導電膜214aが順次に形成されている。

【0027】本発明によると、素子分離工程を進行すると同時に誘電体メモリ物質膜及びゲートラインの一部で使用される下部導電膜が自己整合的に活性領域上にのみ形成される。即ち、素子分離領域上部には、メモリ素子の構成要素である誘電体メモリ物質膜及び下部導電膜が存在しなくなる。従って、素子分離領域から誘電体メモリ膜を除去するための追加のフォトリソグラフィが必要なくなる。

【0028】次の後続工程でゲートライン形成のための上部導電物質を前記素子分離領域202aが形成された結果物上に形成される。即ち前記バーニングされた下部導電物質214a及び素子分離領域202a上に上部導電物質を形成する。続いて、図12及び図4に示されたように、前記上部導電物質及び前記バーニングされた下部導電物質214aをバーニングして前記活性領域204上部及び前記素子分離領域202a上を横切る複数のゲートライン214が形成される。結果的に、前記ゲートライン214は、前記素子分離領域202aと直接接するようになり、前記誘電体メモリ物質膜212が前記活性領域204のうちでも前記ゲートライン214と交差する領域にのみ存在するようになって、メモリセル単位に完全に分離される。ここで、前記下部導電膜214aは、前記ゲートライン214両側の活性領域204に不純物拡散領域であるソース/ドレイン領域216a-dを形成する。

【0029】次は本発明の他の実施形態によるメモリ素子形成方法を説明する。本実施形態において、前述した実施形態と違う点は、局部的シリコン酸化工程(LOCAL Oxidation of Silicon)により素子分離領域を形成することにある。

【0030】図13乃至図15は、本発明の他の実施形態により、図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に応じて示された図面として、図4の3A-3A'ラインに沿って取り切った断面図である。

【0031】先ず、図13は図7に対応するものとして、半導体基板100上に素子分離領域を露出させるバ

ターニングされた膜質（誘電体メモリ物質膜212、下部導電膜214a及びエッチングマスク膜216）が形成される。トレンチ隔離工程とは違い、熱酸化工程を行って前記露出された半導体基板に熱酸化膜を形成して素子分離領域202bを図14に示されたように完成する。

【0032】次いで、前記エッチングマスク膜216を除去して、前述した実施形態のようにゲートライン用導電物質を形成してパターニングしてゲートライン214を図15に示されたように形成する。

【0033】

【発明の効果】従って、前述した本発明によると、ゲートラインが通る活性領域上にのみ、誘電体メモリ物質膜が形成され、活性領域を隔離させる素子分離領域上には形成されないメモリ素子構造を取っているので、高集積化による隣接セルによる干渉を最小化できる。

【0034】又、前記構造を形成するための方法によると、素子分離領域形成のための工程で誘電体メモリ物質膜が自己整合的に活性領域上部にのみ形成されるので、工程の単純化をすることができ、高集積半導体製造工程に適合である。

【図面の簡単な説明】

【図1】従来方法によるSONOSフラッシュメモリ素子の構造を概略的に示された透視図である。

【図2】図1の1A-1A'ラインに沿って取り切った断面図である。

【図3】図1の1B-1B'ラインに沿って取り切った断面図である。

【図4】本発明による新しいSONOSフラッシュメモリ素子を概略的に示される透明図である。

【図5】図4の3A-3A'ラインに沿って取り切った断面図である。

【図6】図4の3B-3B'ラインに沿って取り切った断面図である。

【図7】本発明の一実施形態によって図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示した図面として図4の3A-3A'ラインに沿って取り切った断面図である。

【図8】本発明の一実施形態によって図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示した図面として図4の3A-3A'ラインに沿って取り切った断面図である。

A'ラインに沿って取り切った断面図である。

【図9】本発明の一実施形態によって図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示した図面として図4の3A-3A'ラインに沿って取り切った断面図である。

【図10】本発明の一実施形態によって図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示した図面として図4の3A-3A'ラインに沿って取り切った断面図である。

【図11】本発明の一実施形態によって図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示した図面として図4の3A-3A'ラインに沿って取り切った断面図である。

【図12】本発明の一実施形態によって図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示した図面として図4の3A-3A'ラインに沿って取り切った断面図である。

【図13】本発明の他の実施形態によって図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示した図面として図4の3A-3A'ラインに沿って取り切った断面図である。

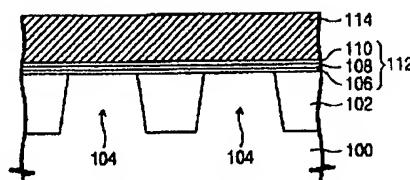
【図14】本発明の他の実施形態によって図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示した図面として図4の3A-3A'ラインに沿って取り切った断面図である。

【図15】本発明の他の実施形態によって図4に概略的に示されたSONOSフラッシュメモリ素子を形成する方法を工程順序に従って示した図面として図4の3A-3A'ラインに沿って取り切った断面図である。

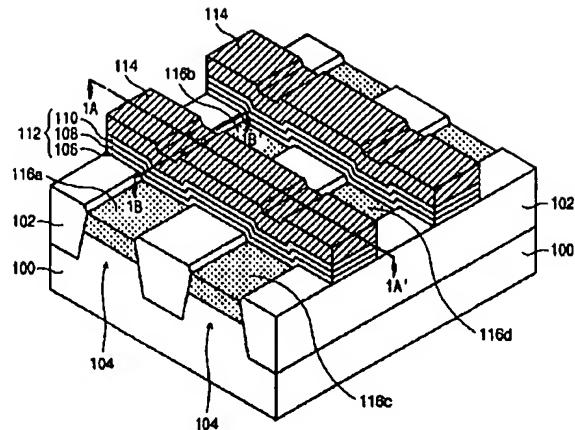
【符号の説明】

200	半導体基板
200a, 200b	素子分離領域
204	活性領域
206, 210	酸化膜
208	窒化膜
212	ONO膜
214	ゲートライン
216a-d	不純物拡散領域
218	トレンチ
202	トレンチ充填絶縁体
216	平坦化停止層

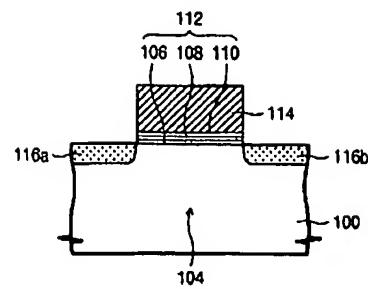
【図2】



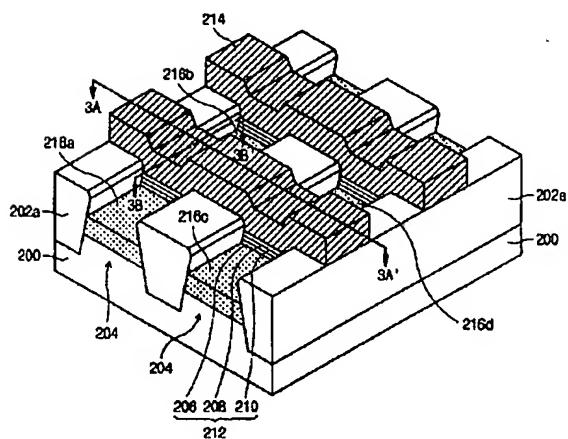
【図1】



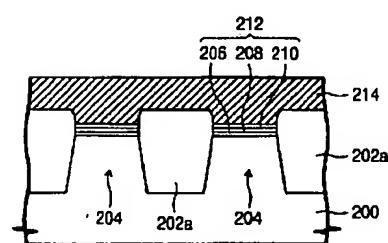
【図3】



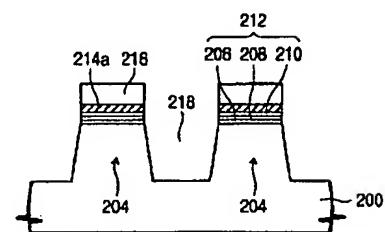
【図4】



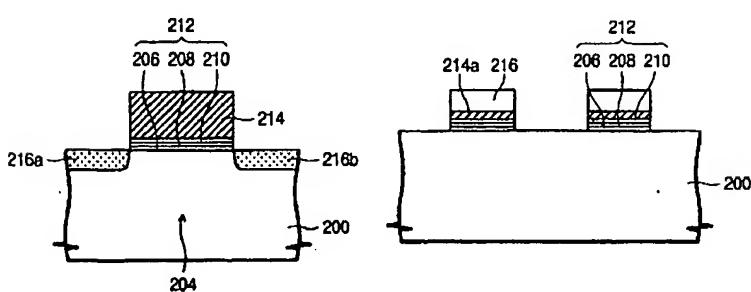
【図5】



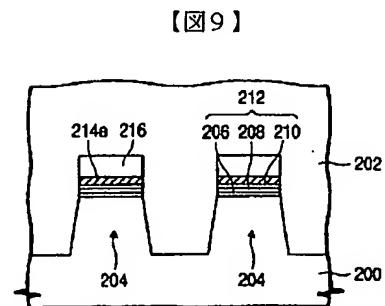
【図8】



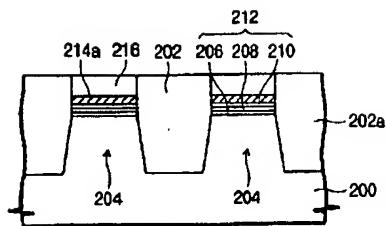
【図6】



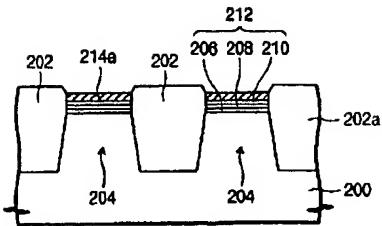
【図7】



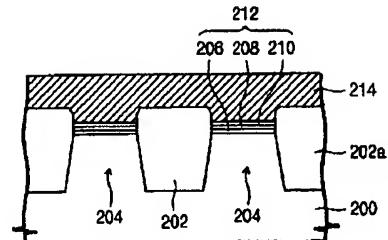
【図10】



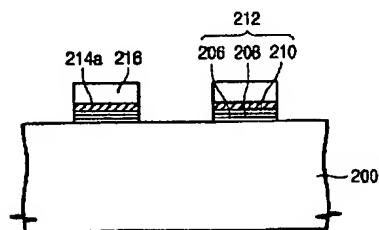
【図11】



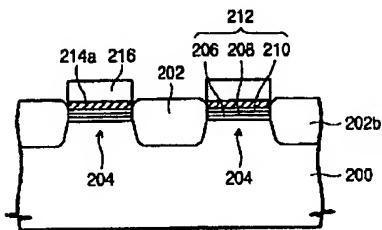
【図12】



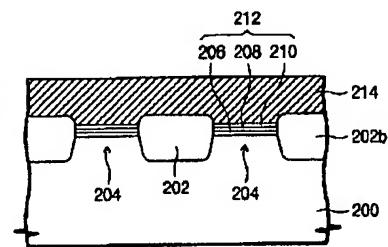
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 崔 正達

大韓民国京畿道水原市八達区靈通洞（番地
なし）清明タウンドンシンエーピーティ
316棟1002号

F ターム(参考) 5F083 EP18 EP22 GA11 JA04 NA01

NA02 PR07 PR29
5F101 BA45 BB02 BD02 BD35 BD37
BF10 BH13 BH19